

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81086

(43) 公開日 平成9年(1997)3月28日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------|
| G 0 9 G 3/36 | | | G 0 9 G 3/36 | |
| G 0 2 F 1/133 | 5 5 0 | | G 0 2 F 1/133 | 5 5 0 |
| G 1 1 C 19/00 | | | G 1 1 C 19/00 | J |

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-238346

(22) 出願日 平成7年(1995)9月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 勝谷 昌史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

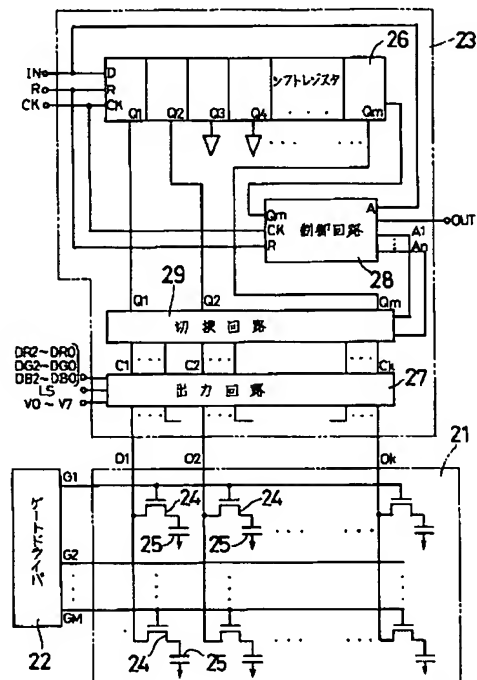
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 液晶ドライバなどのシフトレジスタ部の素子数を削減し、チップ面積縮小および低消費電力化を図る。

【解決手段】 m段のシフトレジスタ26の出力は制御回路28によってn回フィードバックされ、切換回路29によって $k=m \times n$ 列の画素のうちの一列を選択的に駆動する。n回目の最終段からの出力は、制御回路28から外部へ出力OUTとして導出され、カスケード接続される次段への入力IN信号となる。n回のフィードバックによって、必要なシフトレジスタの段数を $1/n$ に減少させることができ、素子数を削減してチップ面積を縮小し、低消費電力化を図ることができる。



【特許請求の範囲】

【請求項1】マトリクス状に配置される表示装置の画素を、選択的に走査駆動するために、走査信号を各段から順次的にずらして導出するシフトレジスタを含む表示装置の駆動回路において、

シフトレジスタの最終段から導出される走査信号を、シフトレジスタの最前段の入力側に予め定める複数回だけフィードバックさせ、フィードバック回数に対応する制御信号を導出する制御回路と、

シフトレジスタの各段毎に設けられ、制御回路からの制御信号に応答し、シフトレジスタの各段からの走査信号を、フィードバックの回数毎に異なる画素を選択して走査駆動するように切換える切換回路とを含むことを特徴とする表示装置の駆動回路。

【請求項2】前記制御回路は、前記複数回のフィードバック終了後のシフトレジスタ最終段からの走査信号を、外部に出力信号として導出することを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】前記表示装置は、TFT型液晶表示装置であることを特徴とする請求項1または2記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】液晶表示装置などを走査するための信号を発生するシフトレジスタを含む表示装置の駆動回路に関する。

【0002】

【従来の技術】図7は、従来技術による典型的な薄膜トランジスタ（以下、「TFT」と略称する）型液晶表示装置とその駆動回路の概略的な電気的構成を示す。TFT型液晶表示装置1は、ゲートドライバ2およびソースドライバ3によって、マトリクスを構成する画素を選択的に駆動する。TFT型液晶表示装置1の各画素は、M

OSFETであるTFT4および液晶画素容量5から構成される。ゲートドライバ2は、順次位相のずれたゲート駆動パルスG1～GMを出力する。ゲート駆動パルスG1～GMのパルス信号が“High”レベルのとき、TFT型液晶表示装置1の各画素のTFT4はON状態となる。一方、ソースドライバ3は、たとえば8階調表示の場合に、図示を省略する表示コントローラから入力されるRGB3色カラーデータDR、DG、DBの各3ビット、合計9ビットの階調データに応じて、外部から供給される8本の基準電圧V0～V7のうちの1つの電圧を選択し、出力端子O1～ONから導出する。

【0003】図8は、出力端子数N=240である場合のソースドライバ3の内部構成を示す。ソースドライバ3は、80段のシフトレジスタ6と出力回路7とによって構成される。出力回路7内には、サンプリングラッチ8、ホールドラッチ9、デコーダ10および8値ドライバ11が含まれる。シフトレジスタ6は、80段のDフリップフロップが縦列接続され構成され、入力端子INから入力されデータ信号をサンプリングクロック信号CKに従って順次転送し、各段のDフリップフロップ出力は順次階調データを取り出すために使用される。サンプリングラッチ8は、各Dフリップフロップからの出力信号Q1～Q80に応答し、外部から入力された3ビットの階調データDR2～DR0、DG2～DG0、DB2～DB0を順次取り込んでいく。ホールドラッチ9は、ホールド信号入力LSによってサンプリングラッチ8の各段からの階調データを一斉に取り込み、デコーダ10へ出力する。次の表1は、8値ドライバ11の出力S1～S240とシフトレジスタ出力Q1～Q80と階調データとの関係を示す。

【0004】

【表1】

| 出力 | S1 | S2 | S3 | S4 | ... | S240 |
|-----------|---------------|---------------|---------------|---------------|-----|---------------|
| データ | DR0, DR1, DR2 | DG0, DG1, DG2 | DB0, DB1, DB2 | DR0, DR1, DR2 | ... | DB0, DB1, DB2 |
| シフトレジスタ出力 | Q1 | Q1 | Q1 | Q2 | ... | Q80 |

【0005】デコーダ10は、RGB各色毎の階調データDX2、DX1、DX0（XはR、G、Bのうちの1つを表す）に対応して、8レベルの電圧V0～V7のうちの1つを選択する。階調データと8レベルとの関係は次の表2に示す。

【0006】

【表2】

| データ | | | 8値レベル |
|-----|-----|-----|-------|
| DX2 | DX1 | DX0 | |
| 0 | 0 | 0 | V0 |
| 0 | 0 | 1 | V1 |
| 0 | 1 | 0 | V2 |
| 0 | 1 | 1 | V3 |
| 1 | 0 | 0 | V4 |
| 1 | 0 | 1 | V5 |
| 1 | 1 | 0 | V6 |
| 1 | 1 | 1 | V7 |

【0007】特開昭61-254989には、入力され

たデータ信号を端子OUTにシフトアウトさせる縦列接続された複数段のフリップフロップからなるシフトレジスタにおいて、シフトレジスタの1出力を3分割し、フルカラーとモノクロとの両方の表示装置で駆動回路を兼用可能にし、3本のアナログ信号を同時アクセスする先行技術が開示されている。この先行技術では、シフトレジスタの各段の出力を分割して全体としてのシフト段数の増加をはかっている。縦列接続されたシフトレジスタの最終のシフト出力を初段のシフト入力に帰還してシフト段数を増加させる先行技術は、特開平5-327485に開示されている。

【0008】

【発明が解決しようとする課題】TFT型液晶表示装置1は、液晶パネルの大型化や高精細化にともなって、液晶ドライバの多出力化の要求が高まってきている。多出力化は、複数の液晶ドライバを縦列接続することによっても可能であるけれども、部品点数が増加し配線基盤の面積も大きく必要となる。液晶ドライバには、部品削減の観点からも多出力品が望まれる。液晶ドライバで多出力化を考慮したレイアウト設計を考える場合、内部回路のチップ面積をいかに小さくするかが重要である。また多出力化に伴って、サンプリングパルスを生成するシフトレジスタの段数も出力数に比例して増大するため、シフトレジスタ部での低消費電力化が重要な課題となる。

【0009】特開昭61-254989の先行技術では、シフトレジスタの段数を削減することはできるけれども、シフトレジスタのシフト出力をさらに分割するためのクロック信号が必要となる。シフトドライバをCMOS型ICとして構成する場合には、分割クロックが絶えず供給されることによって消費電力の増大を招く。特開平5-327485の先行技術のように、シフトレジスタの最終シフト出力を初段にフィードバックすれば、消費電力増加を招くことなくシフト段数の増加をはかることができるけれども、単にフィードバックするだけでは表示装置を適切に駆動することはできない。

【0010】本発明の目的は、シフトレジスタを構成する素子数を削減し、シフトレジスタの占めるチップ面積を縮小化させ、かつ低消費電力化はかることができる表示装置の駆動回路を提供することである。

【0011】

【課題を解決するための手段】本発明は、マトリクス状に配置される表示装置の画素を、選択的に走査駆動するために、走査信号を各段から順次的にずらして導出するシフトレジスタを含む表示装置の駆動回路において、シフトレジスタの最終段から導出される走査信号を、シフトレジスタの最前段の入力側に予め定める複数回だけフィードバックさせ、フィードバック回数に対応する制御信号を導出する制御回路と、シフトレジスタの各段毎に設けられ、制御回路からの制御信号にตอบสนองし、シフトレジスタの各段からの走査信号を、フィードバックの回数

毎に異なる画素を選択して走査駆動するように切替える切換回路とを含むことを特徴とする表示装置の駆動回路である。本発明に従えば、たとえばm段のシフトレジスタの最終段から導出される走査信号を、制御回路によってn回シフトレジスタの最前段の入力側にフィードバックさせる。シフトレジスタの各段の出力は、制御回路からの制御信号にしたがって、異なる画素を選択して走査駆動するように振替回路によって振替えられる。したがって、表示装置に対しては $k = m \times n$ 段のシフトレジスタを用いた場合と同様な走査駆動を行うことができる。また、クロック信号の周波数をf、シフトレジスタ1段当たりの負荷容量をC、電源電圧をVとすると、m段のシフトレジスタでの消費電力 P_s は、 $P_s = f C V^2 m$ によって求められるけれども、フィードバックによって段数mを $1/n$ に減少させれば、シフトレジスタ数全体の消費電力も同じく $1/n$ となって低消費電力化を図ることができる。

【0012】また本発明の前記制御回路は、前記複数回のフィードバック終了後のシフトレジスタ最終段からの走査信号を、外部に出力信号として導出することを特徴とする。本発明に従えば、複数回のフィードバック終了後のシフトレジスタ最終段からの走査信号は、外部に出力信号として導出される。次段のシフトレジスタの入力信号として用いることによって、多くの段数のシフトを行わせることができ、表示装置の大型化や高精細化に対応させることができる。

【0013】また本発明の前記表示装置は、TFT型液晶表示装置であることを特徴とする。本発明に従えば、シフトレジスタの段数を削減してチップ面積を縮小し、レベル選択回路などの面積を十分に取ることができる。

【0014】

【発明の実施の形態】図1は本発明の実施の一形態によるTFT型液晶表示装置の駆動回路の概略的な電気構成を示す。TFT型液晶表示装置21は、ゲートドライバ22およびソースドライバ23からの信号によって駆動される。TFT型液晶表示装置は、TFT24によって構成されるアクティブマトリクス型であり、各TFTのドレイン電極には液晶画素容量25がそれぞれ接続される。TFT24のゲート電極は、水平走査方向に共通接続され、ゲートドライバ22から順次的に位相をずらして導出されるゲート駆動パルスG1～GMによって駆動される。ゲート駆動パルスG1～GMが“High”レベルのとき、TFT24はON状態となる。TFT24のソース電極は、垂直走査方向に共通接続され、ソースドライバ23からの出力O1～Okによってそれぞれ走査駆動される。出力回路27はシフトレジスタ26の信号にตอบสนองし、外部から入力される3ビットの階調データDR2～DR0、DG2～DG0、DB1～DB0を順次取り込んでゆき、ホールド信号入力LSにตอบสนองして、各サンプリングデータに対応した階調出力V0～V7

を、出力O1～Okに供給する。出力O1～Okは各TF T24のソース電極を駆動し、ゲート電極を駆動するために順次的に位相がずれて発生される信号により、選択されたゲートG1～GMのうち1列に接続されるTF Tの画素容量25に階調電圧V0～V7を書き込む。シフトレジスタ26の各段からの出力は、出力回路27に与えられ、制御回路28および切換回路29によって、たとえばm段のシフトレジスタ26にn回のフィードバックを行い、 $k=m \times n$ 列の画素を駆動する。制御回路28からは、切換回路29での切換を行うための制御信号A1～Anが導出される。

【0015】図2は、図1に示すシフトレジスタ26および制御回路28の内部構成を示す。シフトレジスタ26への入力INは2入力ORゲート30の一入力端側に与えられる。ORゲート30の出力は、シフトレジスタ26を構成する40段の縦列接続されたDフリップフロップ31、32、…、70のうちの最前段のDフリップフロップ31のデータ入力Dに与えられる。40段のDフリップフロップ31、32、…、70のクロック入力CKおよびリセット入力Rは共通接続され、外部からのシフトクロックCKおよびリセット信号Rによってそれぞれ制御される。各段の出力Qは次段のデータ入力Dに与えられる。最終段のDフリップフロップ70の出力Qは、Dフリップフロップ71のデータ入力Dに与えられる。Dフリップフロップ71のクロックCKおよびリセットRは、外部からのシフトクロックCKおよびリセット信号Rによってそれぞれ制御される。Dフリップフロップ71の出力Qは、RSラッチ72のリセットR入力に与えられる。RSラッチ72は、2つの2入力NORゲートによって構成され、セット入力Sには外部からのリセット信号Rが与えられる。RSラッチ72の出力は、インバータ73、74を介して制御信号A1として導出される。インバータ73の出力は、また制御信号A2としても導出され、さらに2入力ANDゲート75の一入力側に与えられる。インバータ74の出力は2入力ANDゲート76の一入力側にも与えられる。ANDゲート75および76の他入力側は共通接続されて、最終段のDフリップフロップ70の出力Qに接続される。ANDゲート75の出力は、外部への出力OUTとして導出される。ANDゲート76の出力は、ORゲート30の他方入力側に与えられ、最前段のDフリップフロップ31の入力側にフィードバックされる。

【0016】図3は、図2に示すシフトレジスタ26および制御回路28を含むシフト回路80からの出力を、シフトレジスタ26の段数よりも多い出力を有する出力回路27に切換えて供給する切換回路29の部分の構成を示す。たとえばシフトレジスタが40段であり、出力回路がRGBの各色毎に80段で合計240段である場合には、切換回路29はRGBのそれぞれ一画素列から構成されるグループ毎に設けられるアナログスイッチ1

01～180によってそれぞれ分配される。たとえば最前段のシフトレジスタからの出力Q1は、S1、S2、S3の出力に対応するアナログスイッチ101と、S121、S122、S123の出力に対応するアナログスイッチ141とにそれぞれ接続される。制御信号A1が“High”レベルのときにはアナログスイッチ101が導通し、制御信号A2が“High”ハイレベルのときにはアナログスイッチ141が導通する。各アナログスイッチ101～180が導通すると、選択信号C1～C80がそれぞれ導出される。

【0017】図4は図2に示す構成の動作タイミングを示す。リセット記号Rが一旦“High”レベルになってから“Low”レベルに変化して投入されると、リセット機能付のDフリップフロップ31～70の出力Q1～Q40およびDフリップフロップ71の出力は一斉に“Low”レベルとなり、RSラッチ72の出力は“High”レベルとなる。インバータ73の出力A2は“Low”レベル、インバータ74の出力A1は“High”レベルとなる。2入力AND回路75は、2入力のうち1入力が“Low”レベルのため、出力信号OUTは“Low”レベルとなる。また2入力ANDゲート75の2入力のうちの1入力が“High”レベルとなるので、シフトレジスタ26の最終段のDフリップフロップ70の出力がNANDゲート76の出力Aとしてシフトレジスタ26の最前段のDフリップフロップ31のデータ入力Dにフィードバックされると、再度一連の動作が繰返されるように構成されている。

【0018】一連の動作を繰返すために、最終段のDフリップフロップ70の出力Q40から出力信号が導出されると、Dフリップフロップ71のデータ入力Dに供給される。Dフリップフロップ71から出力Q41を出力すると、RSラッチ72を介してインバータ73の出力A2には“High”レベルが、インバータ74の出力A1には“Low”レベルの信号がそれぞれ出力され、制御信号A1、A2としての出力は、前述のレベルとは逆となるように切換わる。その結果2入力ANDゲート76は2入力のうちの1入力が“Low”レベルとなって“Low”レベルが出力され、2入力ANDゲート75は2入力のうちの1入力が“High”レベルのため、出力OUTには最終段のDフリップフロップ70の出力Q40が出力される。出力信号OUTは、複数のソースドライバをカスケード接続する場合の次段への接続信号として用いられる。

【0019】図5は、シフトレジスタ26、サンプリングラッチ88、ホールドラッチ89、デコーダ90および8値ドライバ91についてのより詳しい電気的構成を示す。シフトレジスタ26内の一段のDフリップフロップは、3ステートインバータ201、インバータ202および3ステートインバータ203からなる前半部と、3ステートインバータ204、インバータ205および

3ステートインバータ206からなる後半部とに別れて構成される。3ステートインバータ201, 203, 204, 206は、3ステートゲート回路であり、ゲート制御信号によってアクティブな状態とならない限り出力は高インピーダンス状態を続ける。ゲート信号がアクティブになればインバータとして動作する。最終段のインバータ205からの出力Qは、図示を省略した切換回路を経て、サンプリングラッチ88を構成するDラッチ211~213に選択信号Cとして与えられ、たとえば赤RのデータDR0~DR2をサンプリングして保持する。ホールドラッチ89には、サンプリングラッチ88を構成するDラッチ211~213毎にDラッチ221~223が設けられ、ラッチ信号LSに応答して一斉にラッチされる。ホールドラッチ89からの出力Qおよびその反転出力は、デコーダ90を構成するNANDゲート231~238にそれぞれ供給される。各NANDゲート231~238の出力は、8値ドライバ91を構成するアナログスイッチ240~247にそれぞれ与えられ、8値のレベルV0~V7を選択する。

【0020】図6は、図5の回路の動作タイミングを示す。シフトクロックCKの一回目の立ち上がり時にシフトレジスタ26への入力信号INが与えられると、シフト回路80の各段からの出力C1~C80は、シフトクロックCK毎に順次切換わりながら導出される。シフト回路80の各段からの出力C1~C80に従って、カラー画像データDR0~DR2, DG0~DG2, DB0~DB2がサンプリングラッチ88にそれぞれラッチされる。

【0021】以上の実施形態では、40段のシフトレジスタ26によってその2倍の80段のシフト回路80を構成しているため、80段のシフトレジスタを使用する場合に比較してシフトレジスタとしての消費電力を1/2に削減し、液晶駆動回路の低消費電力化をはかることができる。なお、フィードバック回数をさらに増やせば、より小さなシフトレジスタの段数で多くの出力を得ることができ、多くの列の駆動に用いることができる。一般にm段のシフトレジスタを用い、制御回路によってn回のフィードバックを行うようにすれば、 $k=m \times n$ 段のシフト回路を容易に実現することができる。

【0022】また、TFT型液晶表示装置を駆動する回路について説明しているけれども、単純マトリクス型液晶表示装置や、エレクトロルミネセンス(EL)表示装置、プラズマ表示装置、あるいは蛍光表示装置など他の形式のマトリクス型表示装置も同様に駆動することができる。

【0023】

【発明の効果】以上のように本発明によれば、シフトレジスタ最終段から導出される走査信号をシフトレジスタ

の最前段の入力側に予め定める複数回だけフィードバックさせて、シフトレジスタ段数よりも多い走査出力を取り出すことができる。出力段数に比較して非常に少ない素子数によって表示装置用の駆動回路が実現可能となるので、多出力化をはかりつつ、チップ面積および消費電力の面で非常に有利な表示装置用の駆動回路を実現することができる。

【0024】また本発明によれば、複数回のフィードバック終了後のシフトレジスタ最終段からの走査信号は、制御回路から外部に出力信号として導出されるので、これを次段の入力信号とし、カスケード接続によって一層の多出力化を図ることができる。

【0025】また本発明によれば、TFT型液晶表示装置を回路面積および消費電力的に非常に有利な状態で駆動することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の概略的な電気的構成を示すブロック図である。

【図2】図1の実施形態のシフトレジスタおよび制御回路の構成を示すブロック図である。

【図3】図1の実施形態の切換回路および出力回路に関連する構成を示すブロック図である。

【図4】図2の構成の動作を示すタイミングチャートである。

【図5】図1の実施形態の内部構成を詳細に示すブロック図である。

【図6】図5の構成の動作を示すタイミングチャートである。

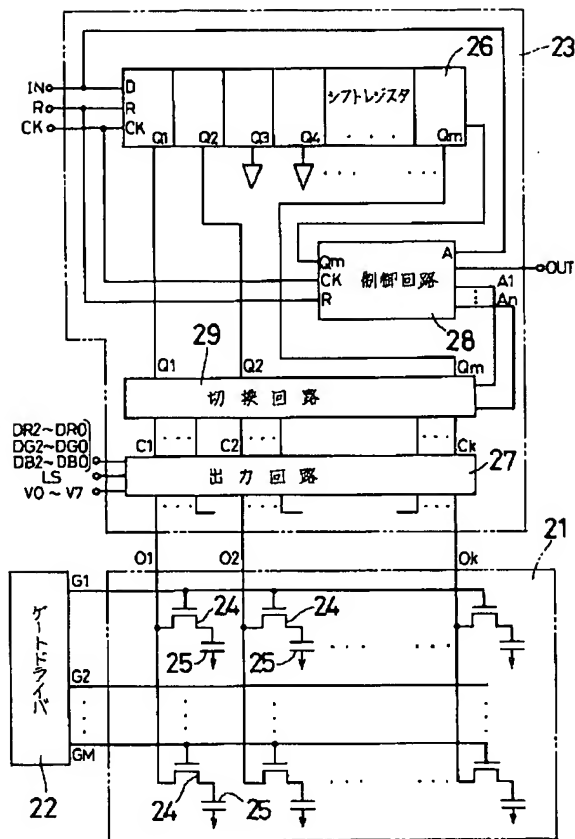
【図7】従来技術による液晶表示装置の駆動回路の概略的な電気的構成を示すブロック図である。

【図8】図7のソースドライバの概略的な構成を示すブロック図である。

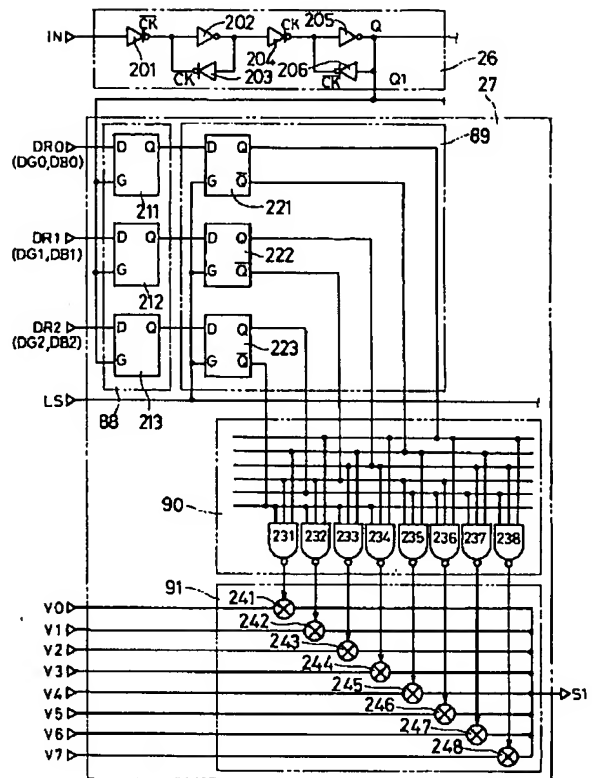
【符号の説明】

- 21 TFT型液晶表示装置
- 22 ゲートドライバ
- 23 ソースドライバ
- 24 TFT
- 25 液晶画素容量
- 27 出力回路
- 28 制御回路
- 29 切換回路
- 30 ORゲート
- 31~70, 71 Dフリップフロップ
- 72 RSラッチ
- 73, 74 インバータ
- 75, 76 ANDゲート
- 80 シフト回路
- 101~180 アナログスイッチ

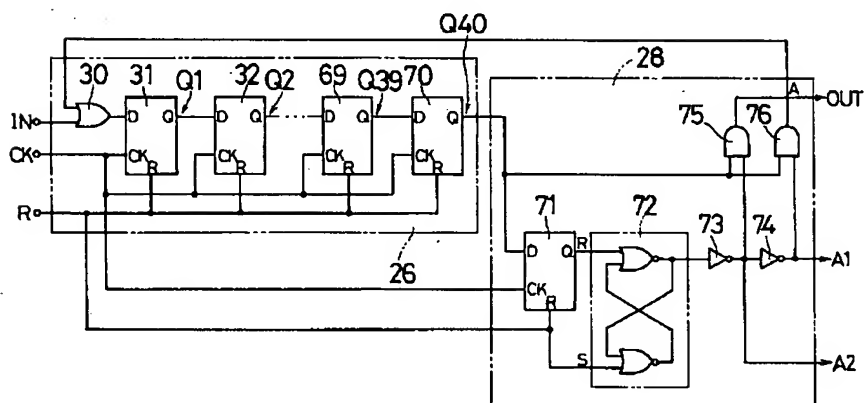
【図1】



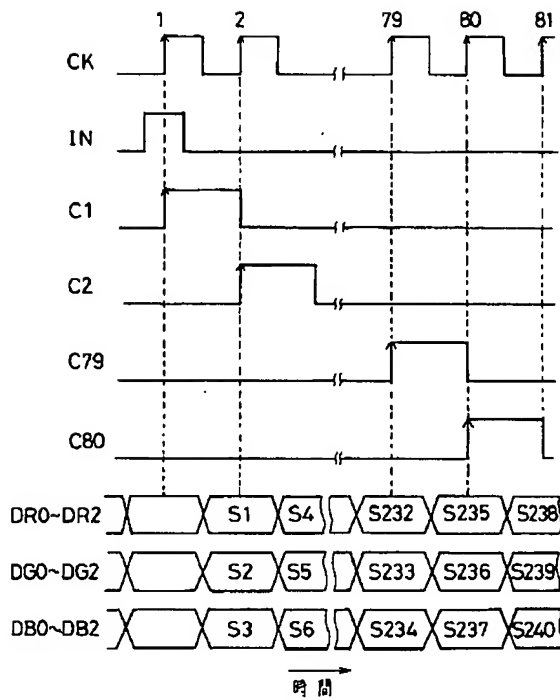
【図5】



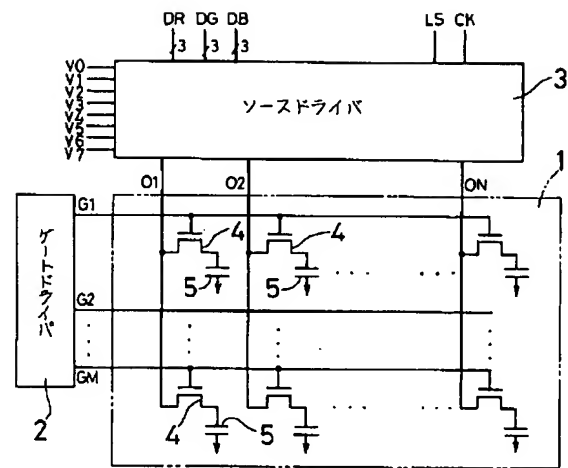
【図2】



【図6】



【図7】



【図8】

